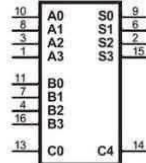
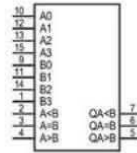


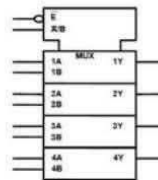
Additionneur



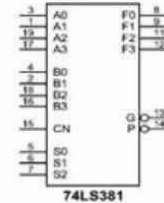
Comparateur



Mux/Dmux



U.A.L

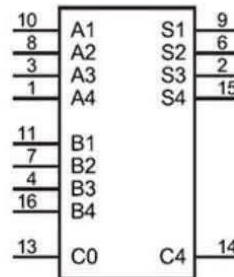


1/ Additionneur

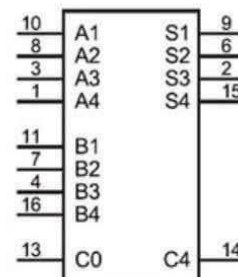
A₄ A₃ A₂ A₁ : Les bits de l'opérande A
B₄ B₃ B₂ B₁ : Les bits de l'opérande B
S₄ S₃ S₂ S₁ : Les bits de la somme
C₀ : La retenue à l'entrée
C₄ : La retenue à la sortie



7483 : Additionneur binaire



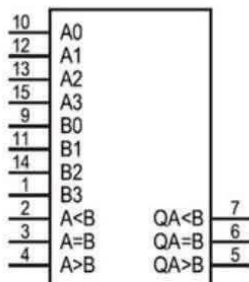
4560 : Additionneur BCD



0001 0010
0001 0100

2/ Comparateur

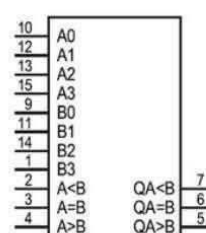
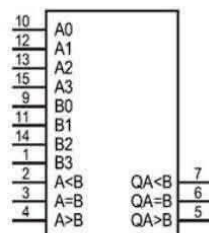
CIRCUIT INTEGRE 7485 :



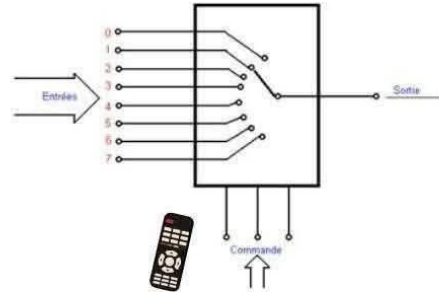
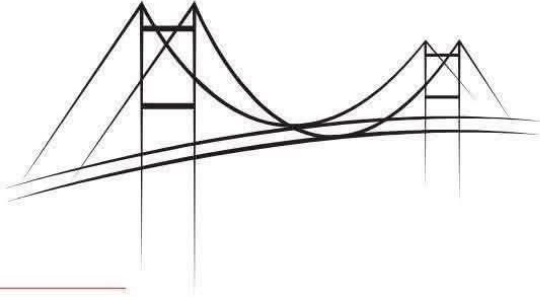
Symbole

Table de fonctionnement du comparateur

Entrées des nombres				Entrées de mise en cascade			Sorties		
A ₃ , B ₃	A ₂ , B ₂	A ₁ , B ₁	A ₀ , B ₀	A>B	A<B	A=B	A>B	A<B	A=B
A ₃ > B ₃	x	x	x	x	x	x	1	0	0
A ₃ < B ₃	x	x	x	x	x	x	0	1	0
A ₃ = B ₃	A ₂ > B ₂	x	x	x	x	x	1	0	0
A ₃ = B ₃	A ₂ < B ₂	x	x	x	x	x	0	1	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ > B ₁	x	x	x	x	1	0	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ < B ₁	x	x	x	x	0	1	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ > B ₀	x	x	x	1	0	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ < B ₀	x	x	x	0	1	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	1	0	0	1	0	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	0	1	0	0	1	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	0	0	1	0	0	1
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	x	x	1	0	0	1
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	1	1	0	0	0	0
A ₃ = B ₃	A ₂ = B ₂	A ₁ = B ₁	A ₀ = B ₀	0	0	0	1	1	0



3/ Multiplexeur



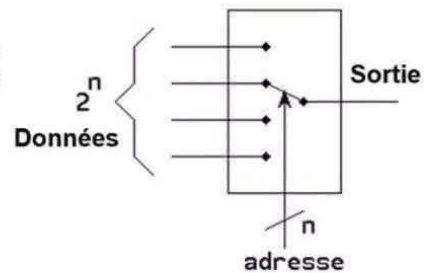
a- Principe :

Le multiplexage consiste à envoyer sur une même ligne de transmission des informations provenant de plusieurs sources différentes

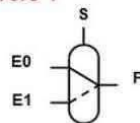
NB: Avec n bits d'adresse on peut aiguiller 2^n données

b- Définition :

Un multiplexeur (abréviation: **MUX**) est un circuit permettant d'aiguiller une entrée parmi 2^n vers une



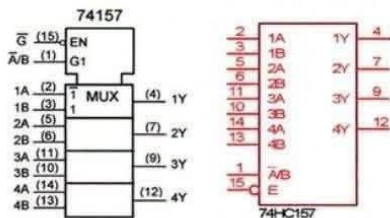
Exemple 1: Multiplexeur 2 vers 1



S	F
0	E0
1	E1

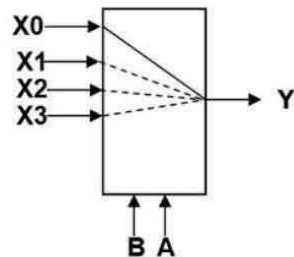
$$F = \bar{S}.E0 + S.E1$$

Circuit intégré : 74157



A / B	Sorties
0	1Y=1A, 2Y=2A, 3Y= 3A, 4Y=4A
1	1Y=1B, 2Y=2B, 3Y= 3B, 4Y=4B

Exemple 2 : Multiplexeur 4 vers 1.



B	A	Y
0	0	X0
0	1	X1
1	0	X2
1	1	X3

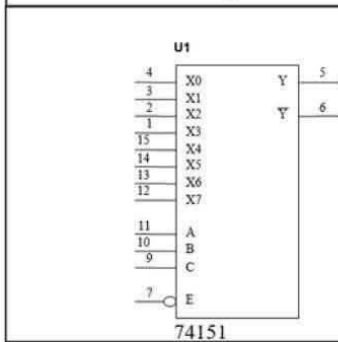
$$Y = \bar{B}\bar{A}.X0 + \bar{B}A.X1 + B\bar{A}.X2 + BA.X3$$

Circuit intégré : 74153

Réaliser une fonction logique $F = A \text{ XOR } B$ et une fonction $S = A \text{ AND } B$ par un MUX 4 vers 1

CIRCUIT INTEGRE 74151 : multiplexeur 8 vers 1

• CI 74151 : Multiplexeur 8 vers 1 :

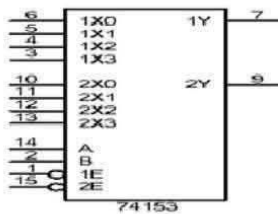


• Table de fonctionnement de 74151 :

E	C	B	A	dec	Y
1	X	X	X	X	0
0	0	0	0	0	X0
0	0	0	1	1	X1
0	0	1	0	2	X2
0	0	1	1	3	X3
0	1	0	0	4	X4
0	1	0	1	5	X5
0	1	1	0	6	X6
0	1	1	1	7	X7

CIRCUIT INTEGRE 74153 : Double multiplexeurs 4 vers 1

• 74153 : 2 multiplexeurs 4 vers 1



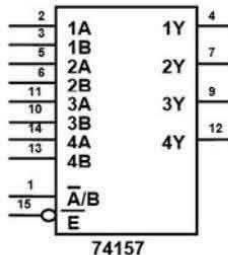
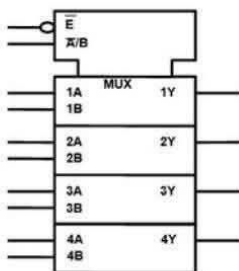
- ✓ $\overline{1E}$, $\overline{2E}$: Entrées de validation.
- ✓ A et B : entrées de sélection

• Table de fonctionnement du CI 74153

$\overline{E}$	B	A	Sorties
1	X	X	1Y=0, 2Y=0
0	0	0	1Y=1X0, 2Y=2X0
0	0	1	1Y=1X1, 2Y=2X1
0	1	0	1Y=1X2, 2Y=2X2
0	1	1	1Y=1X3, 2Y=2X3

X : état indifférent

CIRCUIT INTEGRE 74157 : Quatre multiplexeurs 4 vers 1



Les entrées				La sortie 1Y
$\overline{E}$	A/B	1A	1B	
1	X	X	X	0
0	0	0	X	0
0	0	1	X	1
0	1	X	0	0
0	1	X	1	1

E	A/B	Y
1	X	0
0	0	A
0	1	B

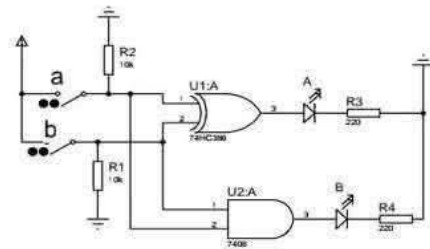
NB : Pour mieux comprendre l'utilisation d'un multiplexeur (mux) et d'un démultiplexeur (demux) par un exemple réel, tu peux exploiter le cahier d'activités page 66.

Exercice N°1 :

Soit le montage suivant :

1°) Donner les équations des sorties S et R en fonction des entrées a et b.

2°) Quelle est la fonction réalisée par ce circuit ?

**Exercice N°2 :**

Un additionneur complet est un dispositif disposant de 3 entrées (a, b et r_{in}) et de 2 sorties (S et r_{out}).

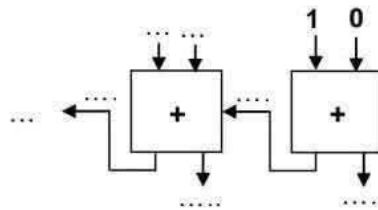
S : somme ; r_{out} : retenue sortante, r_{in} : retenue entrante ; a et b : 2 bits à additionner.

1°/ Donner le logigramme de l'additionneur complet en utilisant 2 demi- additionneurs.

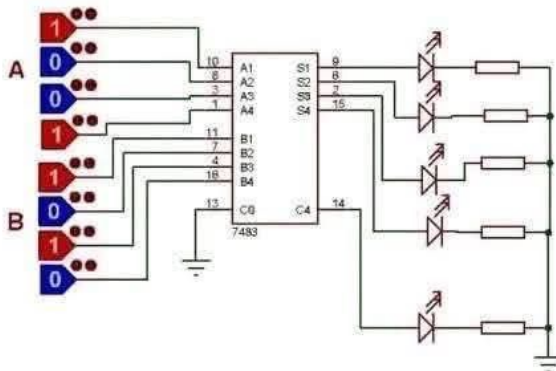
2°/ On désire additionner les deux nombres $A = (14)_{10}$ et $B = (11)_{10}$

2-1°/ Réaliser en binaire l'opération $A + B$

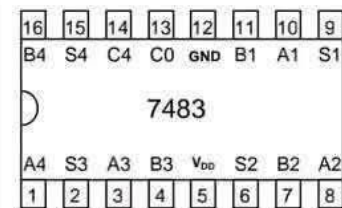
2-2°/ Compléter la structure série ci-dessous réalisant l'addition de A et B

**Exercice N°3 :**

Colorer les diodes allumées pour le circuit suivant :



Additionneur parallèle de 4 bits



$A = (\dots)_2$; $B = (\dots)_2$;

$S = (\dots)_2$

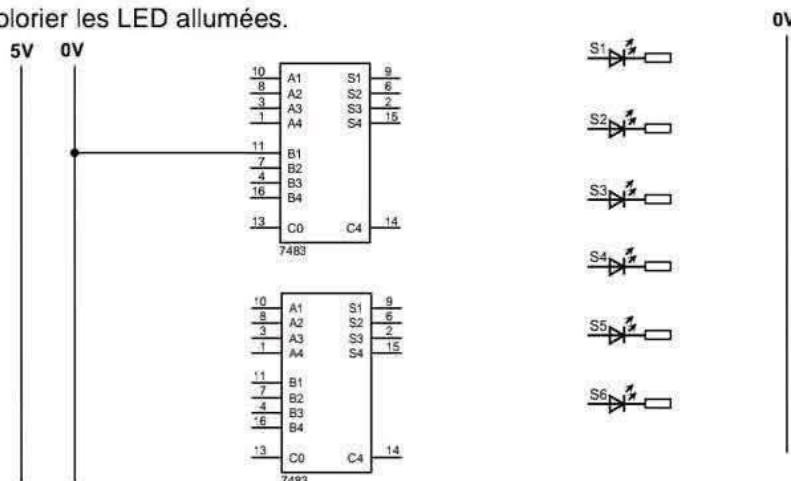
Exercice N°4 :

Soit deux nombres : $A = 11001_{(2)}$ et $B = 11110_{(2)}$

1°) Calculer $A + B$

2°) Compléter les liaisons nécessaires pour réaliser l'opération précédente avec deux circuits intégrés 7483.

Colorier les LED allumées.



Exercice N°5- Etude d'un additionneur BCD :

On donne le schéma d'un additionneur BCD incomplet.

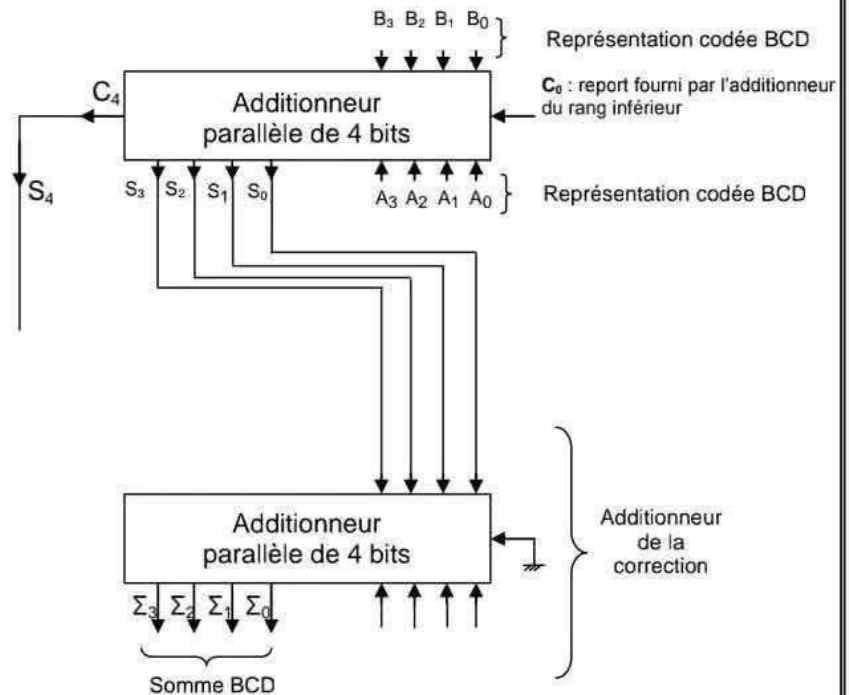
Soit **X** une sortie logique qui occupera le niveau haut seulement quand la somme est supérieure à 1001

1°) donner l'équation de **X**.

X = $S_4 + \dots$

	S_4	S_3	S_2	S_1	S_0
10	0	1	0	1	0
11	0	1	0	1	1
12	0	1	1	0	0
13	0	1	1	0	1
14	0	1	1	1	0
15	0	1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0

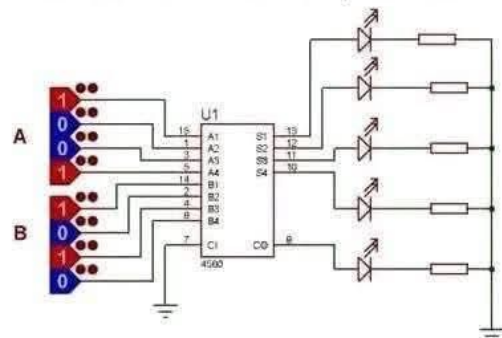
2°) Compléter le schéma du montage

**Exercice N°6 :**

Le circuit intégré 4560 est un additionneur BCD 1 digit.

Colorer les diodes allumées pour le circuit suivant :

CI : retenue à l'entrée
Co : retenue à la sortie



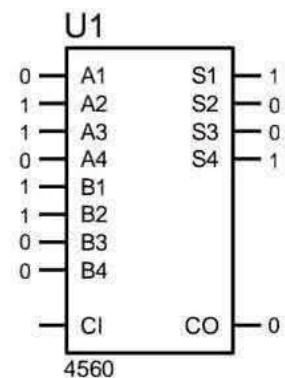
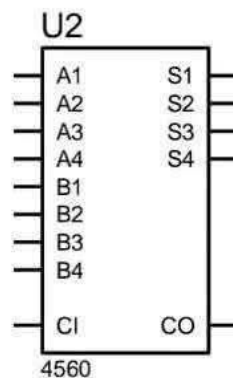
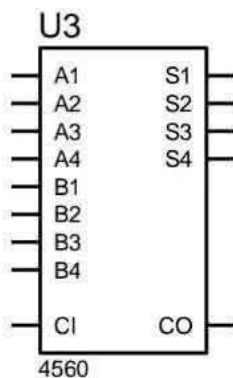
A = (.....)BCD ; B = (.....)BCD ;

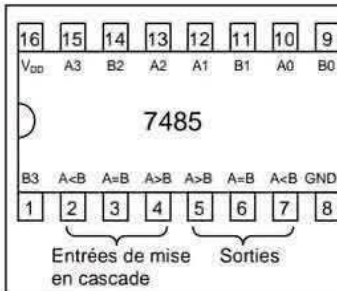
S = (.....)BCD

Exercice N°7 : Addition BCD de trois digits

On veut additionner les deux nombres décimaux A et B tel que A = 286 et B = 973

Compléter sur le schéma suivant les 0, les 1 et les liaisons manquantes.



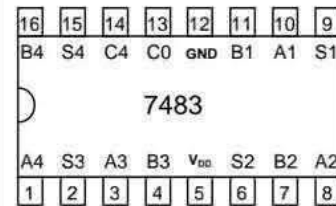


Comparateur de 2 mots binaires de 4 bits.

Lorsque le 7485 est employé seul, les entrées de mise en cascade sont connectées comme suit :

(A<B) = niveau bas,
(A=B) = niveau haut,
(A>B) = niveau bas

Additionneur parallèle de 4 bits



Exercice N°11 :

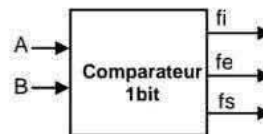
Comparateur 1bit :

C'est un circuit combinatoire qui permet de comparer entre deux nombres binaires A et B.

Il possède 2 entrées: A et B.

Il possède 3 sorties:

- fe : égalité (A=B)
- fi : inférieur (A<B)
- fs : supérieur (A>B)



Comparateur 2 bits avec des comparateur 1bit :

Réaliser un comparateur 2 bits en utilisant 2 comparateurs 1 bits, 3 portes ET à 2 entrées et 2 portes OU à 2 entrées.

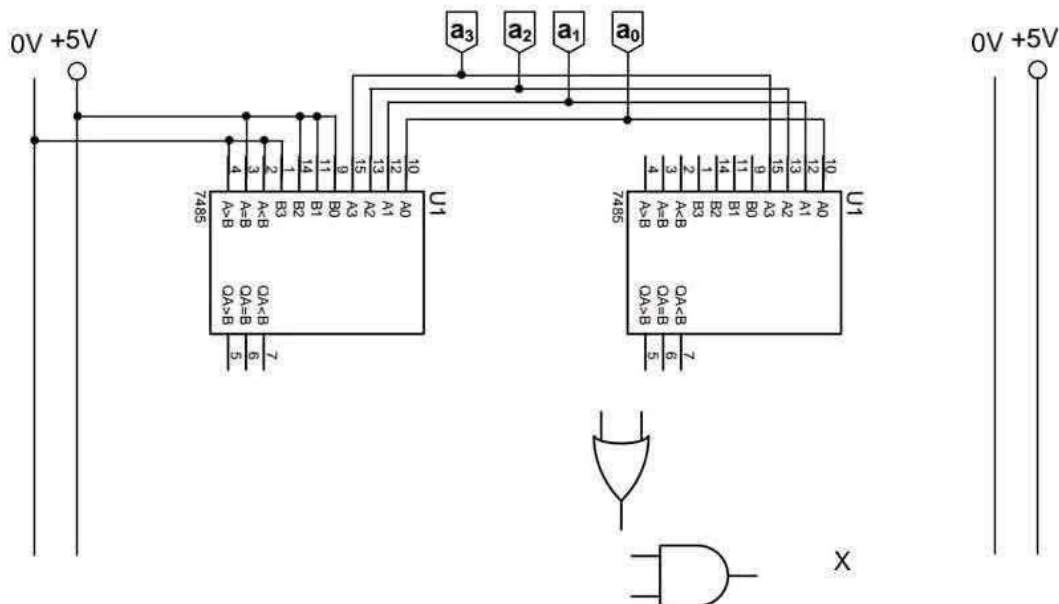


Exercice N°12 :

On désire concevoir une variable de sortie X qui satisfait les conditions suivantes :

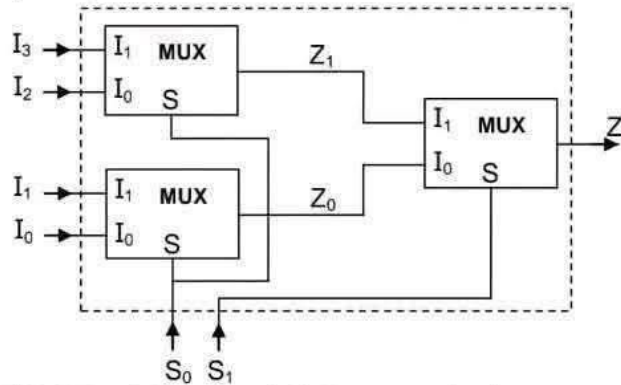
$X = 1$ si $7 < A \leq 14$, si non $X = 0$ A étant un nombre binaire $[A = a_3a_2a_1a_0]$

- Fournir une solution en utilisant les circuits 7485 [comparateur 4 bits], 7432 et 7408



Exercice N°13 :

1°) Compléter les tables de vérités relatives au circuit suivant :



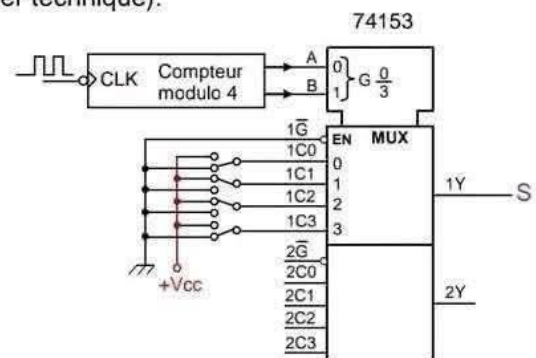
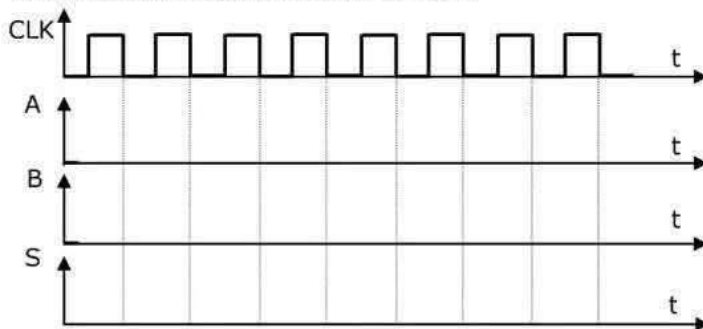
S_0	Z_0
0	I_0
1	..

S_1	S_0	Z_0	Z_1	Z
0	0	I_0	I_2	
0	1			
1	0			
1	1			

2°) Déduire la fonction réalisée par ce circuit :

Exercice N°14 :

On donne le circuit ci-contre, utilisant le C.I 74153 (Voir dossier technique).
Tracer les chronogrammes de A, B et S.

**Exercice N°15 :**

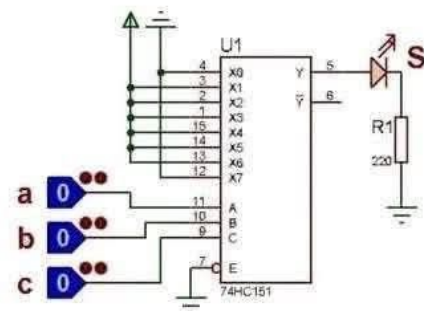
On désire réaliser une fonction logique S à trois variables en utilisant un multiplexeur 8 vers 1 « 74151 » (Voir dossier technique)

Compléter la table de vérité et déduire l'équation logique

simplifiée de la sortie S :

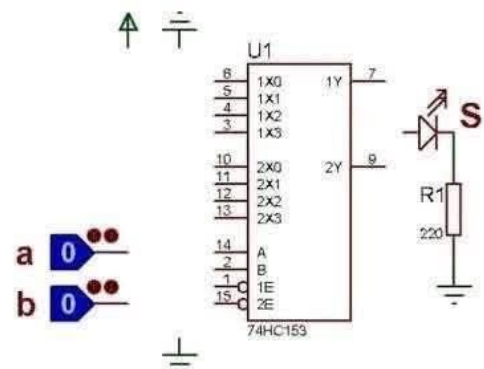
S=

c	b	a	S
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

**Exercice N°16 :**

Proposer un schéma réalisant la fonction NAND à deux entrées à l'aide d'un multiplexeur 4 vers 1 de référence 74153 (Voir dossier technique)

b	a	S

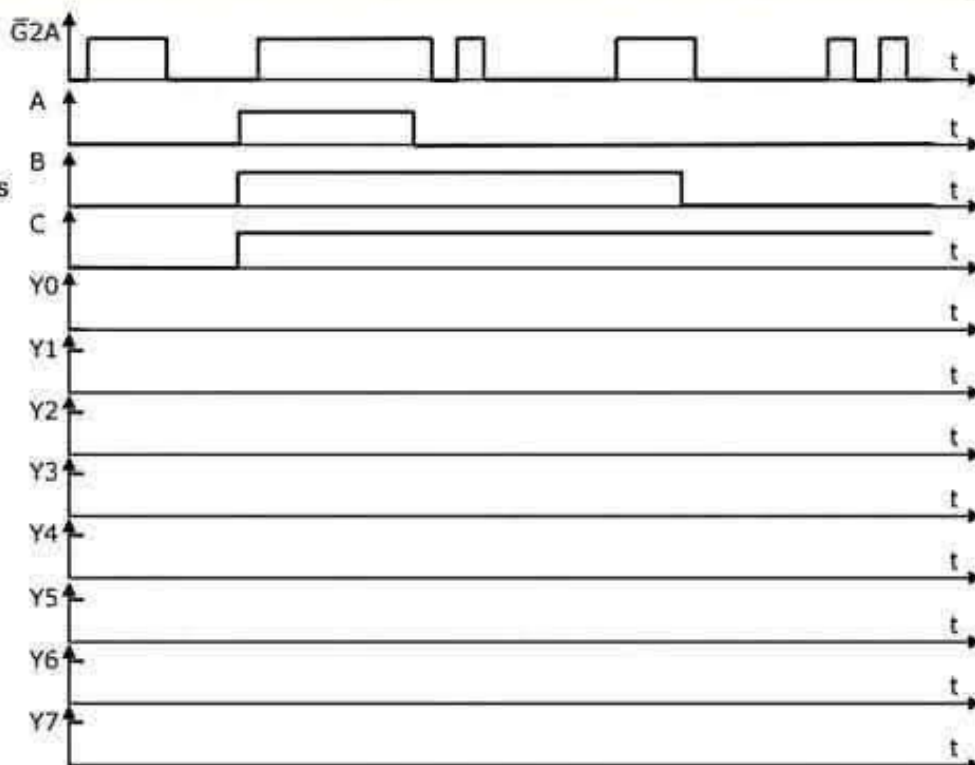
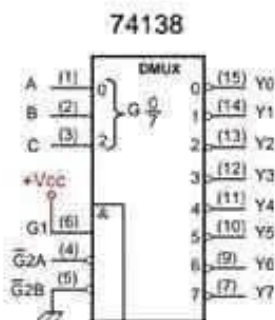


Exercice N°17 :

On donne le circuit 74138

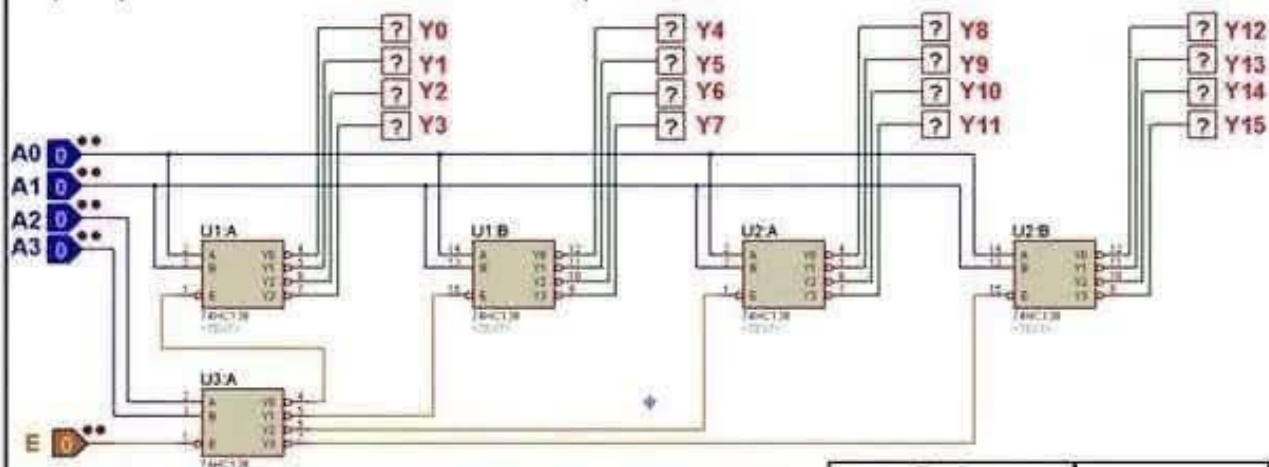
(Voir dossier technique).

Tracer les chronogrammes des sorties Yi.

**Exercice N°18 :**

On donne le circuit suivant :

1°) compléter la table de fonctionnement correspondant.



2°) Déduire la fonction réalisée par ce circuit :

Entrées				Sortie active
A3	A2	A1	A0	
0	0	0	0	Y0
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Exercice N°19 :

En se référant à la fiche technique du circuit intégré 74LS181 « voir ci-dessous »

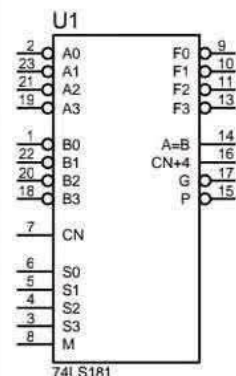
1 - Compléter le tableau suivant :

Entrée de sélection S3 S2 S1 S0	M	Cn	A A3 A2 A1 A0	B B3 B2 B1 B0	Opération réalisée	F F3 F2 F1 F0
1 0 0 0	0	1	1 1 0 1	1 1 0 0	$F = A + A \text{ et } B$	1 0 0 1
0 0 0 1	1	X	1 1 0 1	1 0 0 1		
0 1 0 1	1	X	1 0 0 1	0 1 1 0		
0 1 1 0	1	X	1 0 0 1	0 1 0 1		
1 1 0 1	0	1	0 1 0 1	1 0 0 1		
0 1 1 1	0	1	1 1 0 1	1 0 1 1		
0 1 0 0	1	X	0 1 0 1	1 0 0 1		
1 0 1 1	1	X	1 1 0 0	1 0 0 1		
1 1 1 1	0	0	1 1 0 0	1 0 0 1	$F = A$	1 1 0 0

2 – Si $(S3 S2 S1 S0) = (1 0 0 1)$; et $M=1$ écrire l'équation de $F0$ en fonction de $A0$ et $B0$ avec des opérateurs NAND à deux entrées.

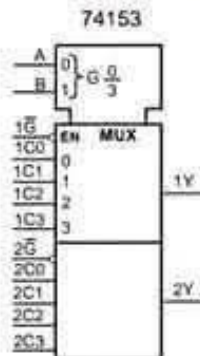
Fiche technique du circuit 74LS181

Sélection S3 S2 S1 S0				Données activées au niveau haut		
				M = 1	M = 0 (Opération arithmétique)	
				Opération logique	Cn = 1	Cn = 0
0	0	0	0	$F = \text{non } A$	$F = A$	$F = A + 1$
0	0	0	1	$F = \text{non } (A \text{ ou } B)$	$F = A \text{ ou } B$	$F = (A \text{ ou } B) + 1$
0	0	1	0	$F = (\text{non } A) \text{ et } B$	$F = A \text{ ou } (\text{non } B)$	$F = (A \text{ ou } (\text{non } B)) + 1$
0	0	1	1	$F = 0$	$F = -1$	$F = 0$
0	1	0	0	$F = \text{non } (A \text{ et } B)$	$F = A + (A \text{ et } (\text{non } B))$	$F = A + (A \text{ et } (\text{non } B)) + 1$
0	1	0	1	$F = \text{non } B$	$F = (A \text{ ou } B) + (A \text{ et } (\text{non } B))$	$F = (A \text{ ou } B) + (A \text{ et } (\text{non } B)) + 1$
0	1	1	0	$F = A \text{ xor } B$	$F = A - B - 1$	$F = A - B$
0	1	1	1	$F = A \text{ et } (\text{non } B)$	$F = (A \text{ et } (\text{non } B)) - 1$	$F = A \text{ et } (\text{non } B)$
1	0	0	0	$F = (\text{non } A) \text{ ou } B$	$F = A + (A \text{ et } B)$	$F = (A + (A \text{ et } B)) + 1$
1	0	0	1	$F = \text{non } (A \text{ xor } B)$	$F = A + B$	$F = A + B + 1$
1	0	1	0	$F = B$	$F = (A \text{ ou } (\text{non } B)) + (A \text{ et } B)$	$F = A \text{ ou } (\text{non } B) + (A \text{ et } B) + 1$
1	0	1	1	$F = A \text{ et } B$	$F = (A \text{ et } B) - 1$	$F = A \text{ et } B$
1	1	0	0	$F = 1$	$F = A + A$	$F = A + A + 1$
1	1	0	1	$F = A \text{ ou } (\text{non } B)$	$F = (A \text{ ou } B) + A$	$F = (A \text{ ou } B) + A + 1$
1	1	1	0	$F = A \text{ ou } B$	$F = (A \text{ ou } (\text{non } B)) + A$	$F = (A \text{ ou } (\text{non } B)) + A + 1$
1	1	1	1	$F = A$	$F = A - 1$	$F = A$



Dossier technique

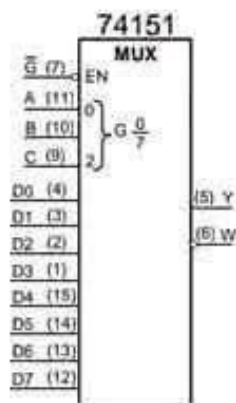
MULTIPLEXEUR INTÉGRÉ À 4 VOIES : LE 74153



Entrées							Sortie
B	A	C0	C1	C2	C3	$\bar{G}$	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
0	1	X	0	X	X	0	0
0	1	X	1	X	X	0	1
1	0	X	X	0	X	0	0
1	0	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

Table de vérité du circuit intégré 74153

MULTIPLEXEUR INTÉGRÉ À 8 VOIES : LE 74151



Entrées				Sorties	
SELECT.			STROBE $\bar{G}$	Y	W
C	B	A			
X	X	X	H	L	H
L	L	L	L	D0	D0
L	L	H	L	D1	D1
L	H	L	L	D2	D2
L	H	H	L	D3	D3
H	L	L	L	D4	D4
H	L	H	L	D5	D5
H	H	L	L	D6	D6
H	H	H	L	D7	D7

DEMUTIPLEXEUR INTÉGRÉ 1 vers 4 : LE 74139

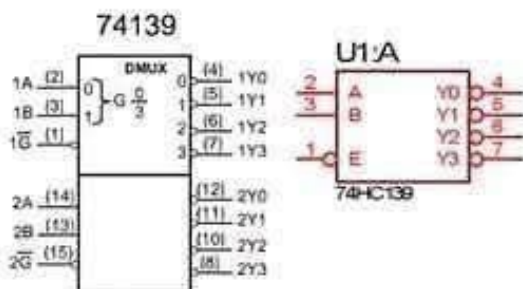
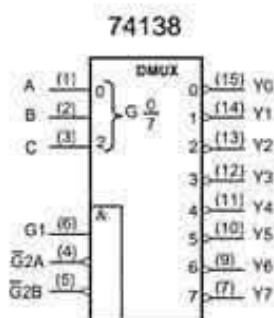


Tableau de fonctionnement

Entrées			SORTIES			
Valid. G	SELECT.		Y0	Y1	Y2	Y3
H	X	X	H	H	H	H
L	L	L	L	H	H	H
L	L	H	H	L	H	H
L	H	L	H	H	L	H
L	H	H	H	H	H	L

DEMUTIPLEXEUR INTÉGRÉ 1 vers 8 : LE 74138

Tableau de fonctionnement

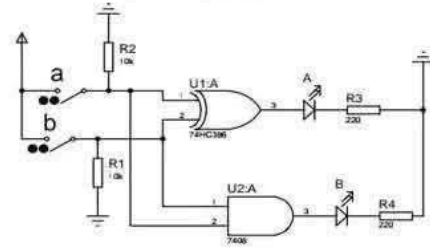


Entrées						Sorties							
Valid.			SELECT.										
G1	G2A	G2B	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	H	L	L	H	H	H	L	H	H	H	H
H	L	L	H	H	L	H	H	H	H	L	H	H	H
H	L	L	H	H	H	H	H	H	H	H	L	H	H
H	L	L	H	H	H	H	H	H	H	H	H	L	H

Exercice N°1 :

1°) $S = a \oplus b$; $R = a.b$

2°) C'est un demi additionneur (Half adder)

**Exercice N°2 :**

1°/

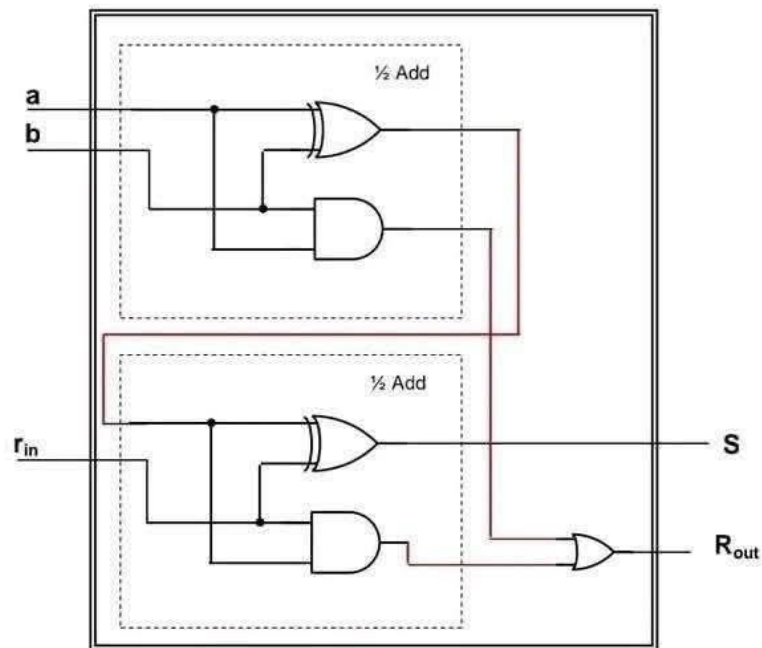
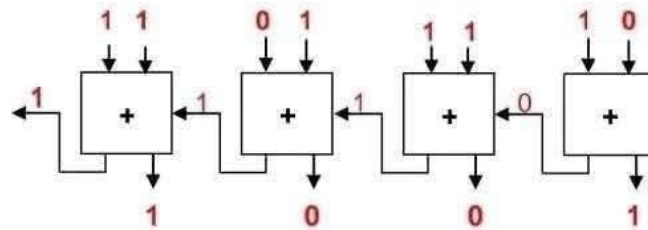
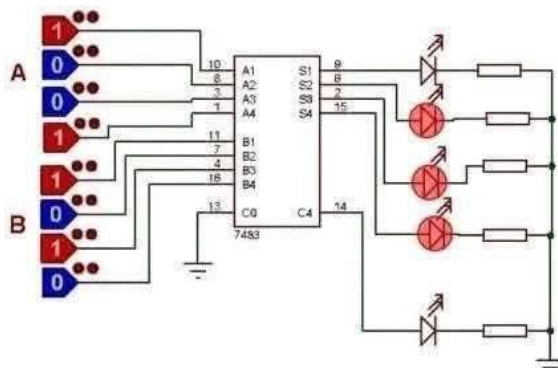


Schéma d'un additionneur complet (Full adder)

2-1°/

Report	1	1		
	1	1	1	0
+	1	0	1	1
Résultat	1	1	0	1

2-2°/

**Exercice N°3 :**

$A = (1001)_2$; $B = (0101)_2$;

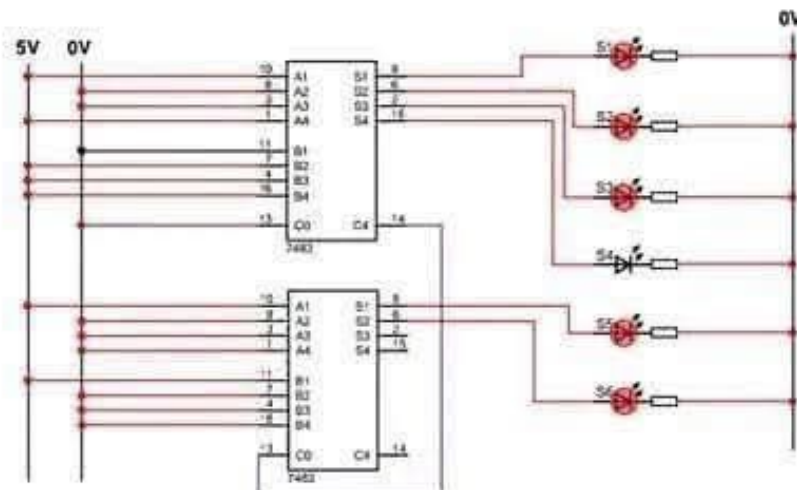
$S = (1110)_2$

Exercice N°4 :A = 11001₍₂₎ et B = 11110₍₂₎

1°)

$$\begin{array}{r}
 1\ 1\ 1\ 1\ 0 \\
 +\ 1\ 1\ 0\ 0\ 1 \\
 \hline
 =1\ 1\ 0\ 1\ 1\ 1
 \end{array}$$

2°)

**Exercice N°5- Etude d'un additionneur BCD :**

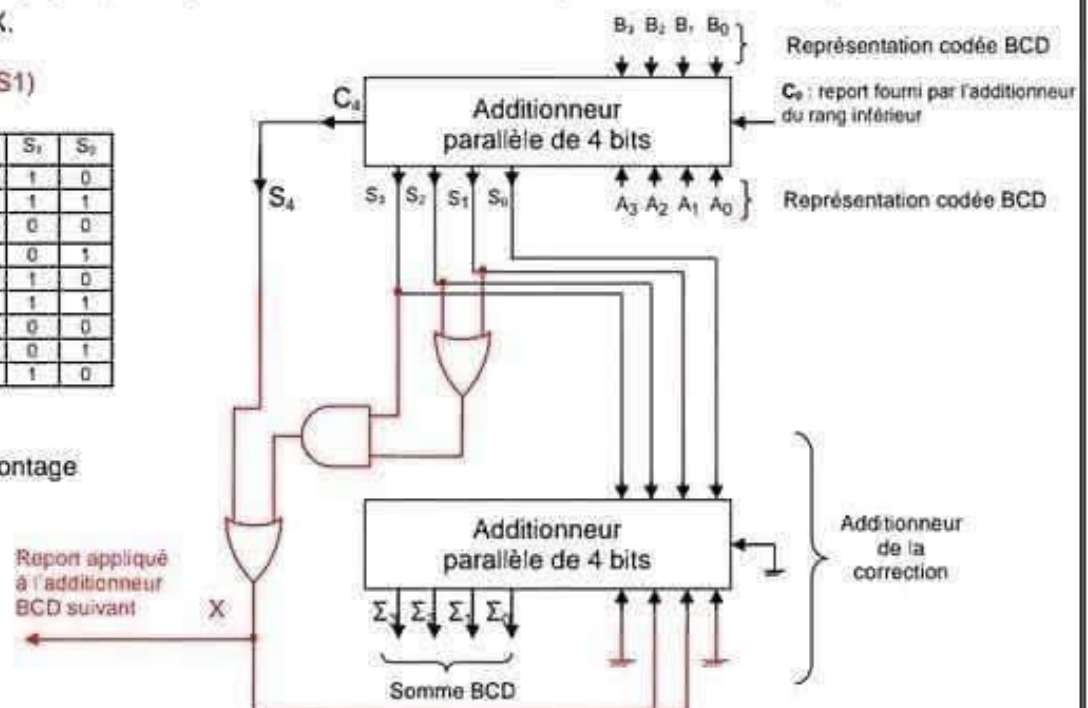
Soit X une sortie logique qui occupera le niveau haut seulement quand la somme est supérieure à 1001

1°) Equation de X.

$$X = S_4 + S_3(S_2 + S_1)$$

	S ₄	S ₃	S ₂	S ₁	S ₀
10	0	1	0	1	0
11	0	1	0	1	1
12	0	1	1	0	0
13	0	1	1	0	1
14	0	1	1	1	0
15	0	1	1	1	1
16	1	0	0	0	0
17	1	0	0	0	1
18	1	0	0	1	0

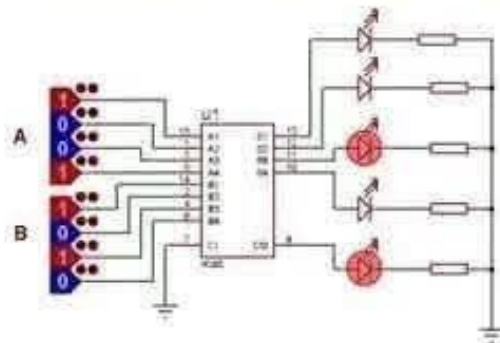
2°) Schéma du montage



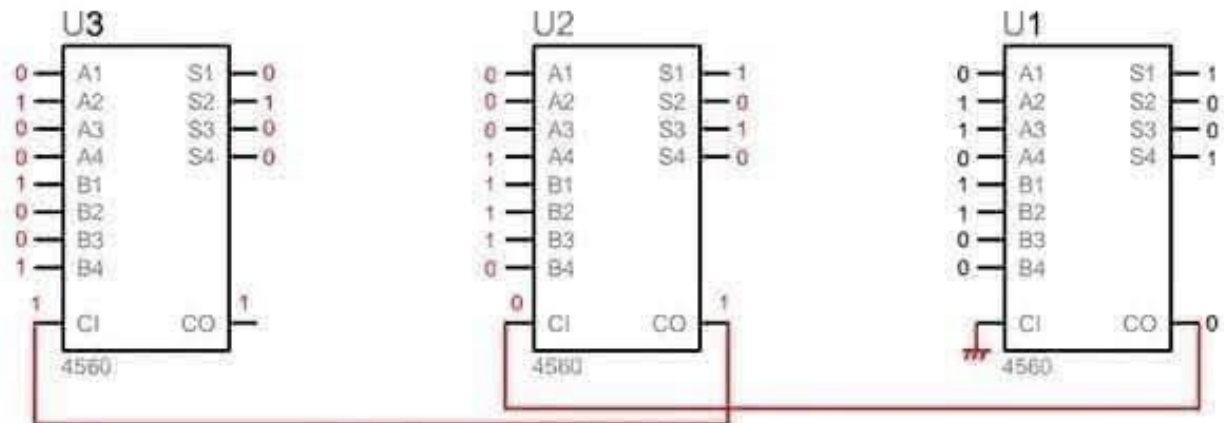
Exercice N°6 :

$$A = (1001)_{BCD} ; \quad B = (0101)_{BCD}$$

$$S = (0001\ 0100)_{BCD}$$

**Exercice N°7 : Addition BCD de trois digits**

A = 286 et B = 973

**Exercice N°8 :**

1- Table de vérité

b_1	b_0	a_1	a_0	S_1	S_2	S_3
0	0	0	0	1	0	0
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	0	0	1
0	1	0	1	1	0	0
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	0	0	1
1	0	0	1	0	0	1
1	0	1	0	1	0	0
1	0	1	1	0	1	0
1	1	0	0	0	0	1
1	1	0	1	0	0	1
1	1	1	0	0	0	1
1	1	1	1	1	0	0

2- Equations logiques de S_1 , S_2 et S_3

b_1b_0 a_1a_0	00	01	11	10
00	1	0	0	0
01	0	1	0	0
11	0	0	1	0
10	0	0	0	1

$$S_1 = \bar{a}_1\bar{a}_0\bar{b}_1\bar{b}_0 + \bar{a}_1\bar{a}_0\bar{b}_1b_0 + a_1\bar{a}_0b_1\bar{b}_0 + a_1\bar{a}_0b_1b_0$$

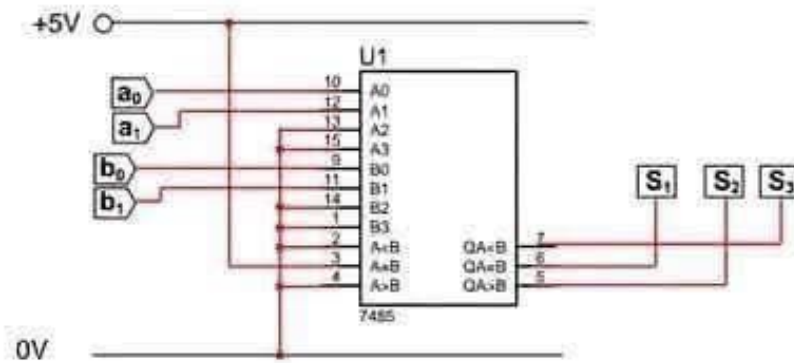
b_1b_0 a_1a_0	00	01	11	10
00	0	0	0	0
01	1	0	0	0
11	1	1	0	1
10	1	1	0	0

$$S_2 = a_1\bar{b}_1 + a_1\bar{b}_1\bar{b}_0 + a_1a_0\bar{b}_1$$

b_1b_0 a_1a_0	00	01	11	10
00	0	1	1	1
01	0	0	1	1
11	0	0	0	0
10	0	0	1	0

$$S_3 = \bar{a}_1b_1 + \bar{a}_1\bar{a}_0b_1 + \bar{a}_0b_1b_0$$

3°)

**Exercice N°9 :**

A	B	Entrées cascadables			sorties		
		A<B	A=B	A>B	A<B	A=B	A>B
1100	0111	0	1	0	0	0	1
1100	1111	0	0	0	1	0	0
1100	1100	0	1	0	0	1	0
1100	1100	0	0	0	1	0	1
1100	0100	1	0	0	0	0	1
1101	1101	1	0	0	1	0	0

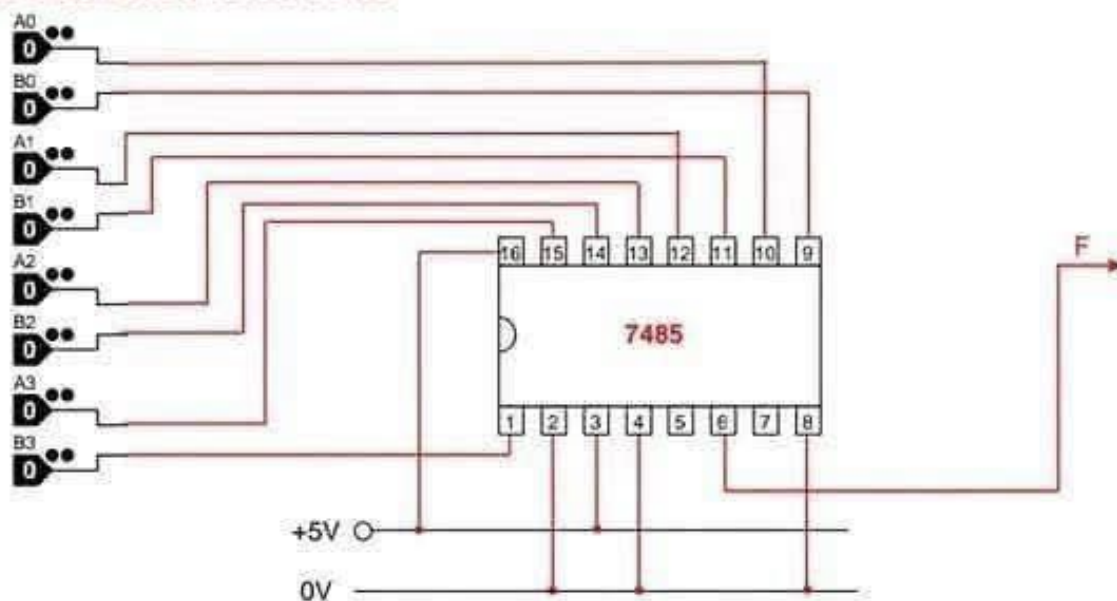
Exercice N°10 :

1°)

a) $F = (A0 \odot B0), (A1 \odot B1), (A2 \odot B2), (A3 \odot B3)$

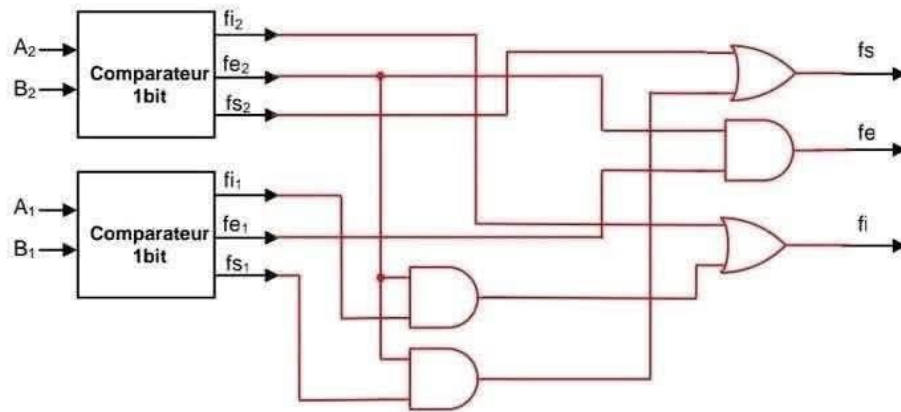
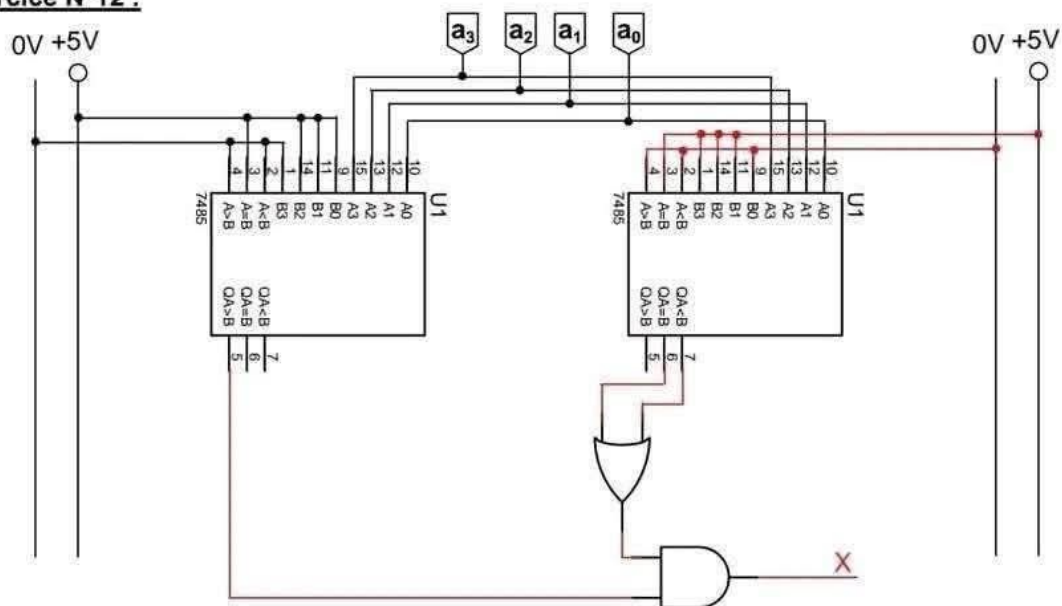
b) $F = 1$ lorsque $A=B$

2°) La référence du circuit est le 7485



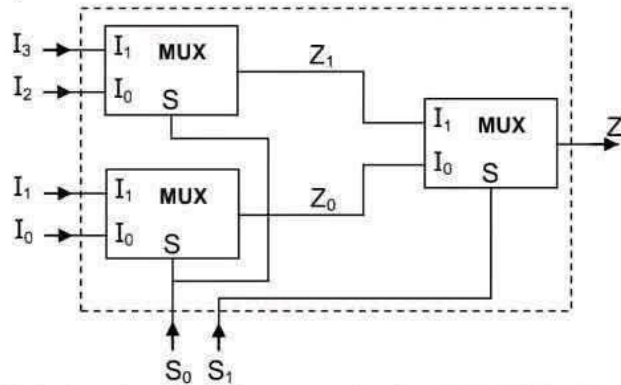
Exercice N°11 :

$$fs = fs_2 + fe_2 \cdot fs_1 \quad ; \quad fi = fi_2 + fe_2 \cdot fi_1 \quad ; \quad fe = fe_2 \cdot fe_1$$

**Exercice N°12 :**

Exercice N°13 :

1°) Tables de vérités relatives au circuit suivant :

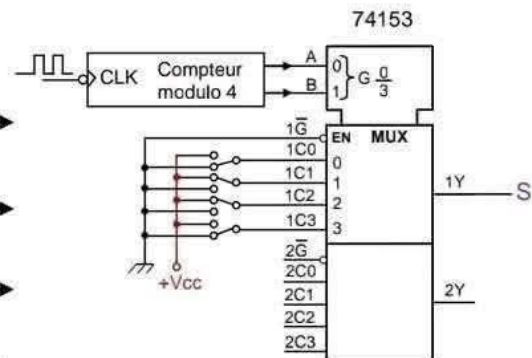
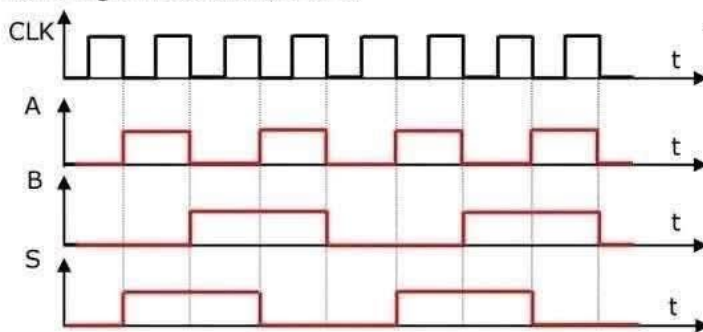


S_0	Z_0
0	I_0
1	I_1

S_1	S_0	Z_0	Z_1	Z
0	0	I_0	I_2	I_0
0	1	I_1	I_3	I_1
1	0	I_0	I_2	I_2
1	1	I_1	I_3	I_3

2°) la fonction réalisée par ce circuit : **un multiplexeur 4 vers 1.****Exercice N°14 :**

Chronogrammes de A, B et S.

**Exercice N°15 :**

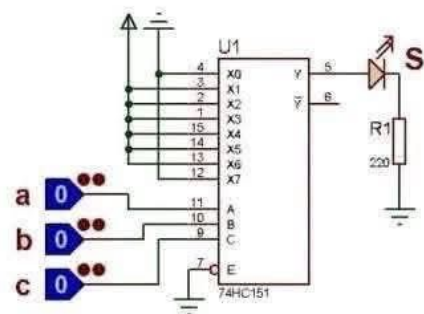
On désire réaliser une fonction logique S à trois variables en utilisant un multiplexeur 8 vers 1 « 74151 »

Table de vérité et équation logique de la sortie S :

ba	00	01	11	10
0	0	1	1	1
1	1	1	0	1

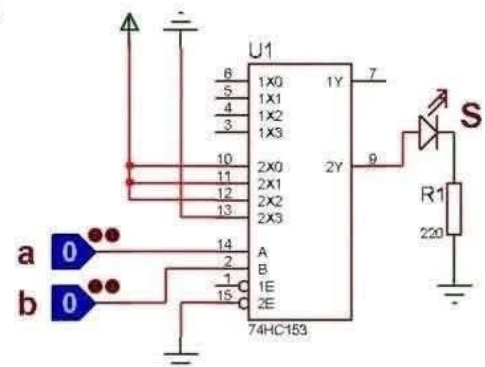
$$S = \bar{c}.a + c.\bar{b} + b.\bar{a}$$

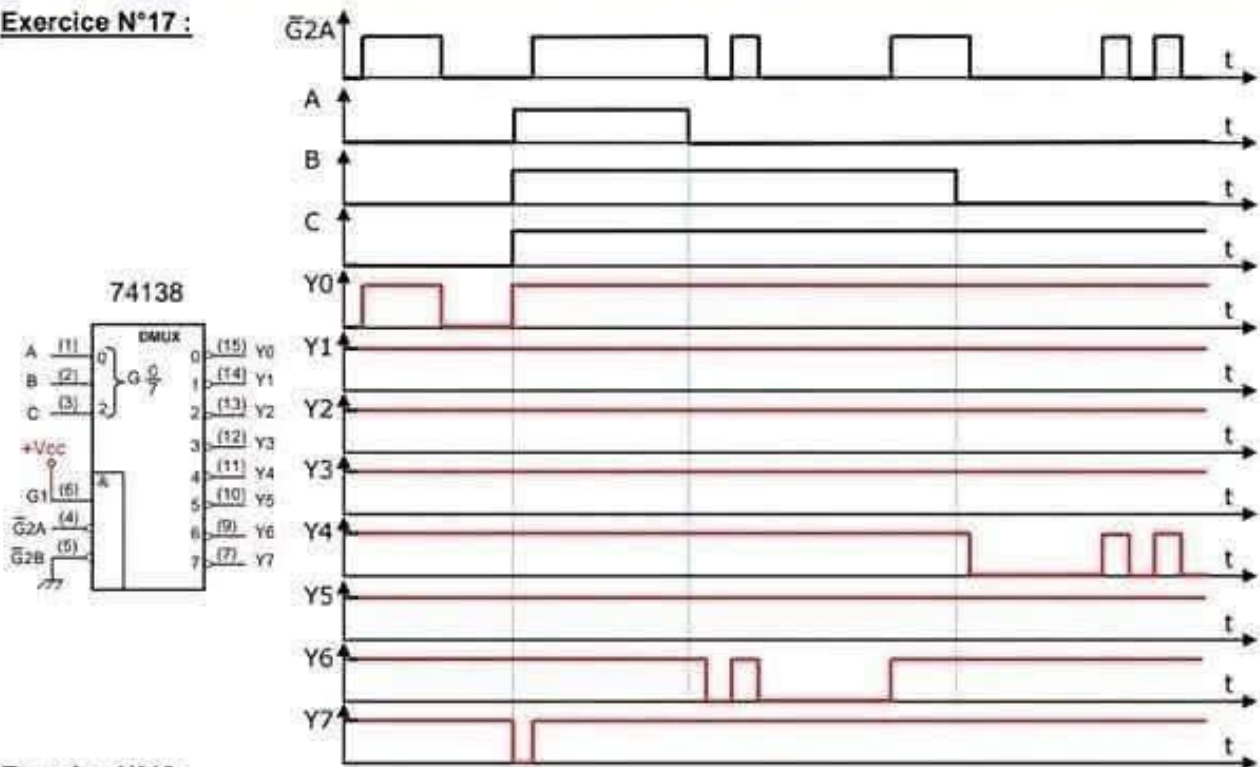
c	b	a	S
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

**Exercice N°16 :**

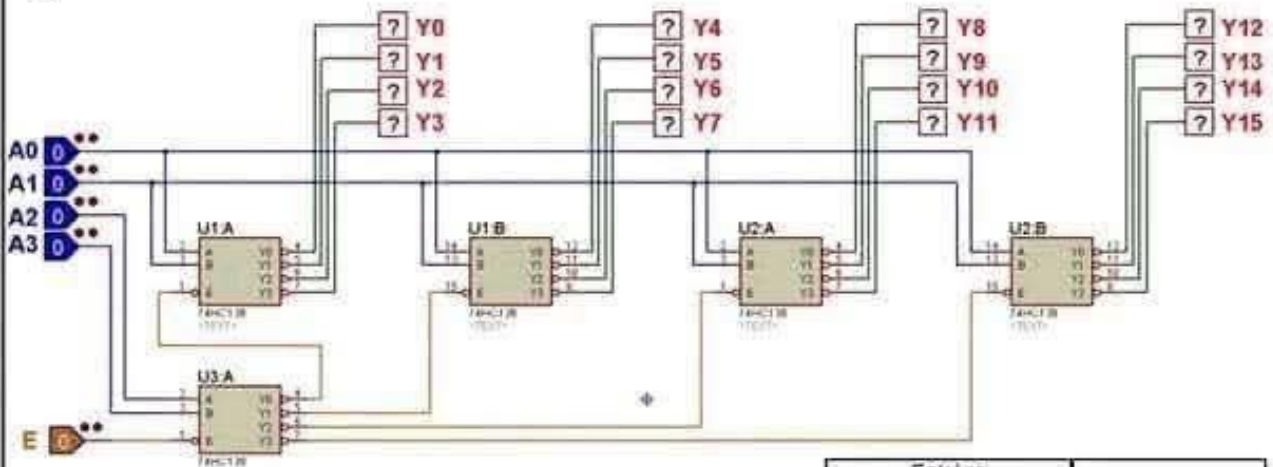
Fonction NAND à deux entrées à l'aide d'un multiplexeur 4 vers 1 de référence 74153

b	a	S
0	0	1
0	1	1
1	0	1
1	1	0



Exercice N°17 :**Exercice N°18 :**

1°)

2°) Fonction réalisée : **Démultiplexeur 1 vers 16.**

Entrées				Sortie active
A3	A2	A1	A0	
0	0	0	0	Y0
0	0	0	1	Y1
0	0	1	0	Y2
0	0	1	1	Y3
0	1	0	0	Y4
0	1	0	1	Y5
0	1	1	0	Y6
0	1	1	1	Y7
1	0	0	0	Y8
1	0	0	1	Y9
1	0	1	0	Y10
1	0	1	1	Y11
1	1	0	0	Y12
1	1	0	1	Y13
1	1	1	0	Y14
1	1	1	1	Y15

Exercice N°19 :

1-

Entrée de sélection S3S2 S1 S0	M	Cn	A A3A2A1A0	B B3B2B1B0	Opération réalisée	F F ₃ F ₂ F ₁ F ₀
1 0 0 0	0	1	1 1 0 1	1 1 0 0	$F = A + A \text{ et } B$	1 0 0 1
0 0 0 1	1	X	1 1 0 1	1 0 0 1	$F = \text{non } (A \text{ ou } B)$	0 0 1 0
0 1 0 1	1	X	1 0 0 1	0 1 1 0	$F = \text{non } B$	1 0 0 1
0 1 1 0	1	X	1 0 0 1	0 1 0 1	$F = A \text{ xor } B$	1 1 0 0
1 1 0 1	0	1	0 1 0 1	1 0 0 1	$F = (A \text{ ou } B) + A$	0 0 1 0
0 1 1 1	0	1	1 1 0 1	1 0 1 1	$F = (A \text{ et } (\text{non } B)) - 1$	0 0 1 1
0 1 0 0	1	X	0 1 0 1	1 0 0 1	$F = \text{non } (A \text{ et } B)$	1 1 1 0
1 0 1 1	1	X	1 1 0 0	1 0 0 1	$F = A \text{ et } B$	1 0 0 0
1 1 1 1	0	0	1 1 0 0	1 0 0 1	$F = A$	1 1 0 0

2 – Si $(S3 S2 S1 S0) = (1 0 0 1)$; et $M=1$ écrire l'équation de $F0$ en fonction de $A0$ et $B0$ avec des opérateurs NAND à deux entrées.

$$F0 = A0 \oplus B0 = A0 \cdot B0 + A0 \cdot \overline{B0}$$

$$F0 = (A0 / B0) / [(A0 / A0) / (B0 / B0)]$$